

Partial English Translation of
LAID OPEN unexamined
JAPANESE PATENT APPLICATION

Publication No. 4-159690

From 20th line of the upper left column to 6th line of the upper right column on page 6

The level transition of the node Z leads to the transition of the FIX signal of the data establishment discriminator 1 from a lower level to a higher level (time t_7). The transition of the FIX signal means the establishment of output data. The FIX signal is supplied to each of the column gate 12, the sense amplifier 13 and the bus gate 14, and stops the operations of the circuits thereof.

⑫ 公開特許公報(A)

平4-159690

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)6月2日

G 11 C 11/413
11/409
11/417323-5L G 11 C 11/34
7323-5L
8526-5LJ
A
3 5 3 F

審査請求 未請求 請求項の数 3 (全9頁)

⑭ 発明の名称 メモリ装置

⑮ 特 願 平2-284463

⑯ 出 願 平2(1990)10月24日

⑰ 発 明 者 妹 尾 克 徳 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑱ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑲ 代 理 人 弁理士 小 池 晃 外2名

明細書

1. 発明の名称

メモリ装置

2. 特許請求の範囲

(1) メモリセルに記憶されたデータが読み出し回路系を介して外部に読み出されるメモリ装置において、

上記読み出し回路系でのレベル遷移を検知して出力データが確定したか否かを判定するためのデータ確定判定回路を設け、そのデータ確定判定回路からの制御信号によって上記読み出し回路系の一部を一時的に不活性化させることを特徴とするメモリ装置。

(2) メモリセルに記憶されたデータが導電線対及び読み出し回路系を介して外部に読み出されるメモリ装置において、

上記読み出し回路系でのレベル遷移を検知して出力データが確定したか否かを判定するためのデ

ータ確定判定回路が設けられると共に、上記導電線対間にはイコライズ回路が設けられ、該イコライズ回路の一部又は全部は少なくとも上記データ確定判定回路からの信号に応じて作動することを特徴とするメモリ装置。

(3) メモリセルにデータの書き込み及び読み出しが可能なメモリ装置において、

書き込み時に使用される書き込み回路系でのレベル遷移を検出して、その書き込み回路系の一部を一時的に不活性化させることを特徴とするメモリ装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体集積回路により構成され、メモリセルに記憶されたデータの読み出しが行われるメモリ装置に関する。

〔発明の概要〕

本発明は、メモリセルにデータを記憶し、その

データが読み出し回路系を用いて外部に読み出され、さらには書き込み回路系を用いてデータが書き込まれる構成のメモリ装置において、上記回路系でのレベル遷移の検知から所要の制御信号を発生させるデータ確定判定回路を設け、その制御信号によって上記回路系の一部を一時的に不活性化させたり、或いは、上記データ確定判定回路からの制御信号によって導電線対間の電圧の平衡化を図るためのイコライズ回路を作動させることにより、低消費電力化や確実なイコライズによる高速化等を実現するものである。

〔従来の技術〕

RAM、ROM等の半導体メモリ装置では、その高集積化と共に、その低消費電力化が望まれている。

第7図は従来のメモリ装置の一例を示す。このメモリ装置は、複数のメモリセルをマトリクス状に配列したメモリセルアレイ101を有しており、そのメモリセルアレイ101からのデータがセン

スアンプ102で増幅される。センスアンプ102で増幅されたデータはバスゲート103を介して出力バッファ104に転送される。データは出力バッファ104から外部に読み出される。ワード線駆動回路106は、メモリセルアレイ101のワード線を駆動する。

そして、低消費電力化を図るため、このメモリ装置には、タイマー回路107が設けられている。このタイマー回路107は、データの確定後に、装置内の回路の一部の不活性化を図るための回路である。このタイマー回路107からの制御信号は、ワード線駆動回路106、センスアンプ102及びバスゲート103に供給され、メモリセルからデータが読み出された後にこれら各回路を停止させる。この一時的な停止により低消費電力化がなされる。出力バッファ104の入力端子には、ラッチ回路105が設けられているため、そのラッチ回路105を用いてデータを出力し続けることができる。

〔発明が解決しようとする課題〕

ところが、第7図に示すように、タイマー回路107からの制御信号により、低消費電力化を図る方法では、出力データが確定するまでの時間をタイマー回路107で予め設定しておく必要がある。この際、多少のマージンを見込んで設定するために、少なくとも実際にデータが確定してからタイマー回路107より制御信号が出力されるまでの時間は、消費電力のロスとなり、逆にマージンが小さければ誤動作が生ずる。

また、一般に、メモリ装置では、高速化等の目的でビット線対やデータ線対のイコライズが行われているが、主にイコライズのタイミングは、ATD（アドレス遷移検出）回路からのパルスに応じているため、そのパルスのタイミングのズレ等により、イコライズのタイミングがシフトし、その結果、ビット線対等のレベルが十分に均衡化しなくなる等の問題も生ずる。

そこで、本発明は上述の技術的な課題に鑑み、誤動作等の問題なく確実に低消費電力化を図るよ

うなメモリ装置の提供を第1の目的とし、さらに改善されたイコライズを実現するメモリ装置の提供を第2の目的とする。

〔課題を解決するための手段〕

上述の目的を達成するために、本発明の1つのメモリ装置は、メモリセルに記憶されたデータが読み出し回路系を介して外部に読み出されるメモリ装置において、上記読み出し回路系でのレベル遷移を検知して出力データが確定したか否かを判定するためのデータ確定判定回路を設け、そのデータ確定判定回路からの制御信号によって上記読み出し回路系の一部を一時的に不活性化させることを特徴とする。

ここで、読み出し回路系とは、データの読み出しに使用される回路群であって、例えば、センスアンプや各種ゲート、セクター等の回路や、内部データバス、I/O線や、出力バッファ、ワード線駆動回路等の回路を言う。また、上記データ確定判定回路は、レベル遷移を検出する。このレ

ベル遷移が行われたか否かを判定するために、本発明のメモリ装置は、そのデータ確定判定回路に取り込まれる信号が出力データの確定以前には、イコライズされているような構造とすることができ、例えば、入出力特性の異なるインバーターを並列に接続して、データの遷移を検出するようにすることができる。

また、本発明の他のメモリ装置は、書き込み側にデータ確定判定回路が設けられることを特徴とするものであって、書き込み時に使用される書き込み回路系のレベル遷移を検出して、その書き込み回路系の一部を一時的に不活性化させることを特徴とする。ここで、書き込み回路系とは、書き込み時に使用される回路群であって、例えば書き込み回路、セクタ、或いはデータバス等の部分を言う。

本発明の更に他のメモリ装置は、メモリセルに記憶されたデータが導電線対及び読み出し回路系を介して外部に読み出されるメモリ装置において、上記読み出し回路系でのレベル遷移を検出して出

力データが確定したか否かを判定するためのデータ確定判定回路が設けられると共に、上記導電線対の間には電圧を平衡化するためのイコライズ回路が設けられ、該イコライズ回路の一部又は全部は少なくとも上記データ確定判定回路からの信号に応じて作動することを特徴とする。ここで、上記導電線対とは、例えばビット線対やデータ線対等の対をなす配線を言う。

〔作用〕

読み出し回路系や書き込み回路系の一部を、データ確定判定回路からの制御信号により不活性化することにより、その分だけ消費電力を節約することができる。また、不活性化となるタイミングはデータ確定に伴うことから、タイマー等の機構やマージンの設定なども不要となり、時間的にロスなく低消費電力化がなされる。

また、イコライズ回路がデータ確定判定回路によって作動するメモリ装置では、出力データの確定後、アドレス遷移のタイミングに先行した導電

線対のイコライズが可能となり、その結果、確実なイコライズが行われることになる。

〔実施例〕

本発明の好適な実施例を図面を参照しながら説明する。

第 1 の実施例

本実施例のメモリ装置は、データ確定判定回路からの制御信号により、読み出し回路系の一部が不活性化される構造を有している。

第 1 図は本実施例のメモリ装置のブロック図である。本実施例のメモリ装置は、マトリクス状に配列された複数のメモリセル 11 からなるメモリセルアレイ 10 を有している。このメモリセルアレイ 10 には、行選択のためのワード線 WL と、データの転送のためのビット線 BL が互いに直交するように設けられており、図中省略しているが各メモリセル 11 のデータは一对のビット線 BL を介して入出力するようにされている。

このメモリセルアレイ 10 に隣接して、カラムゲート 12 が配設されている。カラムゲート 12 は、メモリセルアレイ 10 とセンスアンプ（書き込み回路）13 との間の接続を制御するためのゲート回路であり、各ビット線 BL に接続するように設けられてビット線の列選択を行う。センスアンプ 13 は、ビット線対のデータを検知して増幅する増幅器であり、その出力はバスゲート 14 に転送される。バスゲート 14 の出力は出力バッファ 15 に入力される。ここで、この出力バッファ 15 の入力端子であるノード Z には、ラッチ回路 16 が接続されると共に、後述するようなデータ確定判定回路 1 の入力端子が接続される。従って、本実施例のメモリ装置は、出力バッファ 15 の入力端子のレベル遷移を検出して、出力すべきデータが確定したか否かが判定されることになる。ラッチ回路 16 が出力バッファ 15 の入力端子に接続されるため、そのラッチ回路 16 でデータを保持することができ、例えばバスゲート 14 がオフになった後でも続けてデータを出力することがで

きる。上記カラムゲート 12、センスアンプ 13、バスゲート 14 には、それぞれデータ確定判定回路 1 からの F I X 信号が供給される。これらカラムゲート 12、センスアンプ 13、バスゲート 14 は、F I X 信号が高レベルの時に、作動が停止するように制御され、その結果、消費電力を小さく抑えることができる。

上記カラムゲート 12、センスアンプ 13、バスゲート 14 及び出力バッファ 15 の間のデータの転送は、導電線対（ビット線対若しくはデータ線対）が使用される。そして、カラムゲート 12 とセンスアンプ 13 の間には、イコライズ回路 21 が配設され、センスアンプ 13 とバスゲート 14 の間には、イコライズ回路 22 が配設され、バスゲート 14 と出力バッファ 15 の間のノード Z には、イコライズ回路 23 が配設されている。これら各イコライズ回路 21～23 は、イコライズパルス発生回路 2 からのイコライズ信号によって対をなす導電線を短絡させる回路であり、このイコライズ信号によって対をなす導電線の電圧が均

ルス発生回路 2 で発生する。

ビット線負荷・イコライズ回路 24 は、メモリセルアレイ 10 に隣接して設けられ、メモリセルアレイ 10 に配された各ビット線毎に、ビット線の負荷として機能すると共に、上記イコライズパルス発生回路 2 からのイコライズ信号により各ビット線のイコライズを行う。このためビット線は各サイクル毎にイコライズされるが、本実施例では、イコライズパルス発生回路 2 では、本来のイコライズ信号 E Q の他に予備的なブレイコライズ信号 p E Q が発生し、そのイコライズ信号 p E Q によってもイコライズされるために、確実なイコライズが実現される。また、イコライズパルス発生回路 2 からの信号は、上記デコーダ 18 にも供給されている。従って、デコーダ 18 では、後述するように、イコライズ信号のタイミングに合わせて、プリチャージ動作を行うことができる。

次に、出力バッファ 15 の入力側のノード Z に接続したデータ確定判定回路 1 について説明すると、データ確定判定回路 1 はそのノード Z のレベ

ル平衡化される。特に、本実施例のメモリ装置では、イコライズ回路の一部が本来のイコライズ信号 E Q のパルスよりも先に発生するパルス（信号 p E Q）によってもイコライズされるため、より確実なイコライズが行われる。

本実施例のメモリ装置では、アドレス信号がアドレスバッファ 17 に外部より入力する。その入力したアドレス信号の一部は、カラムゲート 12 に転送され、そのカラムゲート 12 を制御する。また、入力したアドレス信号の他の一部は、行選択用のデコーダ 18 に転送され、このデコーダ 18 からの信号によって、ワード線 W L を駆動するためのワード線駆動回路 19 が作動する。さらに、アドレスバッファ 17 には、アドレス遷移検出（A T D）回路 20 が接続されており、このアドレス遷移検出回路 20 によって外部からのアドレス信号の遷移が検出される。アドレス遷移検出回路 20 からの A T D パルスは、イコライズパルス発生回路 2 に送られ、その A T D パルスをトリガ入力としてイコライズ信号 E Q が該イコライズパ

ルス遷移を検出して、レベルが遷移した時に、制御信号 F I X を出力する。この制御信号 F I X は、カラムゲート 12、センスアンプ（書き込み回路）13 及びバスゲート 14 に供給され、レベル遷移時にこれら各回路の作動を停止させる。このため低消費電力化が実現される。さらに、制御信号 F I X はワード線駆動回路 19 に供給されると共にイコライズパルス発生回路 2 に供給される。ワード線駆動回路 19 では、制御信号 F I X によって、ワード線の駆動動作が一時的に停止して電力消費が抑えられる。また、イコライズパルス発生回路 2 では、供給された F I X 信号により、本来のイコライズ信号のパルスに先行したタイミングのパルスを有するブレイコライズ信号 p E Q が生成される。

第 2 図は、データ確定判定回路 1 の具体的な回路例である。上記ノード Z に並列に 2 つのインバータ 31、32 の入力端子が接続される。インバータ 31、32 の各出力端子はバッファ 33、34 をそれぞれ介して E X - N O R 回路 35 に接

続される。AND回路 36は、並列出力する場合の各EX-NOR回路の複数の出力をとりまとめる。このAND回路 36の出力端子に、出力データが確定した旨のFIX信号が現れる。ここで、上記インバーター 31、32は、その入出力特性が異なるように設定されており、例えば第3図に示すように、インバーター 31の閾値電圧 V_{th} が $\frac{1}{2}V_{cc}$ より小さく（図中曲線Ⅰで示す。）、インバーター 32の閾値電圧 V_{th} が $\frac{1}{2}V_{cc}$ より大きく（図中曲線Ⅱで示す。）設定される。すると、ノードZの電位がインバーター 31の閾値電圧 V_{th} とインバーター 32の閾値電圧 V_{th} の間の電位（例えば、 $\frac{1}{2}V_{cc}$ ）であれば、2つのインバーター 31、32の出力レベルは異なる値となり、各バッファ 33、34を介して接続するEX-NOR回路 35の出力レベルは、低レベルとなる。逆に、出力データが確定した時のように、ノードZのレベルが接地電圧レベルや電源電圧 V_{cc} レベルに近い場合では、2つのインバーター 31、32の出力レベルは等しくなり、EX-NOR回路 3

5の出力レベルは、高レベルとなる。全ての並列出力線に対応するEX-NOR回路がそれぞれ高レベルの出力レベルとなれば、AND回路 36の出力も高レベルとなり、FIX信号が出力される。従って、このような2つの異なる閾値電圧 V_{th} を有するインバーター 31、32を並列に1つのノードZに接続することで、そのノードZのレベルから出力データが確定したか否かが判定できることになる。

次に、デコーダ18の具体的な構造例について、第4図を参照して簡単に説明する。このデコーダ18は、電源電圧 V_{cc} と接地電圧GND間に、pMOSトランジスタからなる負荷トランジスタ49と、4つの直列接続されるデコードトランジスタ45～48を有しており、並行して設けられたデコード線44～41に各デコードトランジスタ45～48のゲートが接続される。このデコーダでは、負荷トランジスタ49と並列にブリチャージトランジスタ40が設けられており、このブリチャージトランジスタ40のゲートに、反転した

イコライズ信号が供給される。従って、イコライズ信号（EQ若しくはpEQ）が高レベルとなった時、ブリチャージトランジスタ40は活性化され、バッファ50の入力端子のレベルをブルアップすることができる。ここで、負荷トランジスタ49は、ノーマリオンとされるが、貫通電流を抑えるため、小さなサイズとされる。同時にブリチャージトランジスタ40は、リカバリーを高速に行うために、比較的大きなサイズとされる。これら2つのトランジスタ40、49により、高速なリカバリーと低貫通電流が共に実現される。

次に、第6図を参照しながら、本実施例のメモリ装置の読み出し時の動作についてアドレスの遷移から順に説明する。

まず、時刻 t_0 よりも前の段階では、前のサイクルのデータがラッチ回路16及び出力バッファ15を用いて確定して出力されており（ノードZのレベル(e)参照。）、この段階でFIX信号(f)は高レベルとされている。

そして、時刻 t_1 で外部からアドレスバッファ

17に供給されているアドレス信号(a)が遷移したものとす。すると、そのアドレス信号に応じてデコーダ18の出力やカラムゲート12の選択も変化するが、アドレス信号の遷移に応じてアドレス遷移検出回路20からはATDパルス(b)が時刻 t_1 に発生する。このアドレス遷移検出回路20からのATDパルスは、イコライズパルス発生回路2に供給されて、そのイコライズパルス発生回路2ではイコライズ信号EQ(c)のパルスが時刻 t_1 に発生する。このイコライズ信号EQは、カラムゲート12から出力バッファ15までの間の導電線対に接続されたイコライズ回路21～23に供給され、各導電線のレベルをイコライズする。また、イコライズ信号EQは、デコーダ18及びビット線負荷・イコライズ回路24にも供給されているため、デコーダ18内では例えば第4図に示したブリチャージトランジスタ40を介した高速なリカバリーが行われ、ビット線負荷・イコライズ回路24ではその作動によりメモリセルアレイ10に配されたビット線BLのイコライズが行

われる。イコライズ回路 23 の作動によって、ノード Z のレベル(e)は時刻 t_1 に $\frac{1}{2}V_{cc}$ にされる。その結果、F I X 信号(f)のレベルが高レベルから低レベルに移り、時刻 t_2 で、出力データが確定していない状態を示すことになる。

このように装置内の各所でのイコライズと並行して、ワード線駆動回路 19 の作動によって選択されたワード線 W L が時刻 t_1 に昇圧される。このワード線 W L の昇圧により、メモリセルアレイ 10 の選択にかかる行のメモリセル 11 は、各ビット線 B L にそれぞれ接続され、そのビット線 B L のレベルをデータに応じて変化させる。次に、センスアンプ 13 の動作によって、ビット線 B L に現れた微小な電位差がセンスアンプ 13 によって増幅され、バスゲート 14 を介してノード Z (e) のレベルがデータに応じて変化する。その結果、時刻 t_2 では、ノード Z において対をなすデータ線が低レベルと高レベルにそれぞれラッチされることになる。

このようにノード Z のレベルが遷移することで、

によって、アドレス遷移時のイコライズ (信号(c)に対応する。)はより確実なものとなり、そのタイミング等のマージンも格段に良くなることになる。

以上のように、本実施例のメモリ装置では、読み出し時において、出力データの確定のタイミングでデータ確定判定回路 1 からの F I X 信号が立ち上がり、その結果、読み出し回路系の一部の回路であるカラムゲート 12 やセンスアンプ 13 やワード線駆動回路 19 等が一時的に不活性状態にされる。従って、その分だけメモリ装置の消費電力を低減することができる。また、F I X 信号に応じて発生するブレイコライズ信号 p E Q によって、本来のイコライズに先行してイコライズを行うことができ、高速化等に有利となる。

他の実施例 (第 5 図)

第 5 図は他のメモリ装置の実施例を示すブロック図である。本実施例のメモリ装置は、書き込み回路系の一部であるローカルデータバス 52 に、

データ確定検出回路 1 の F I X 信号が低レベルから高レベルに移る (時刻 t_1)。この F I X 信号の遷移が出力データの確定を意味する。F I X 信号はカラムゲート 12、センスアンプ 13、バスゲート 14 にそれぞれ供給されており、これらの回路の動作を停止させる。また、この F I X 信号は、ワード線駆動回路 19 に供給されており、当該 F I X 信号の立ち上がりから時刻 t_1 でワード線駆動回路 19 も不活性化されて、選択されていたワード線 W L のレベルが低レベルに移る。さらに、データ確定検出回路 1 の F I X 信号は、イコライズパルス発生回路 2 に供給されており、この F I X 信号の立ち上がりに応じて、ブレイコライズ信号 p E Q (g) のパルスが発生する。すなわち、出力データ確定後の時刻 t_2 で、予備的なブレイコライズ信号 p E Q (g) のパルスが発生し、それがイコライズ回路 21、22、上記デコーダ 18 やビット線負荷・イコライズ回路 24 に供給され、本来のイコライズ動作に先行したイコライズが行われることになる。このブレイコライズ動作

前記実施例の如きデータ確定判定回路 51 が接続されている。ローカルデータバス 52 は、カラムセクタ 53 を介して各ビット線 B L に接続される。本実施例では、ローカルデータバス 52 におけるレベル遷移が、書き込みのデータ確定のタイミングとされ、データ確定判定回路 51 からの W F I X 信号によって、例えば書き込み回路やワード線駆動回路等の動作が直ちに或いは一定時間経過後に停止される。従って、本実施例では、書き込み回路系における消費電力を低減することができる。

〔発明の効果〕

本発明のメモリ装置では、入出力データの確定のタイミングがデータ確定検出回路によって検出され、そのデータ確定検出回路からの制御信号によって各回路系の一部が不活性化されることになる。従って、その不活性化の分だけ消費電力を低減することができる。また、本発明のメモリ装置では、前記データ確定検出回路の制御信号によ

て、導電線対における予備的なイコライズ動作を本来のイコライズ動作に先行して行わせることができる。従って、確実なイコライズから、イコライズのタイミングのマーヅンを増大させることができ、装置の高速化に有利である。

4. 図面の簡単な説明

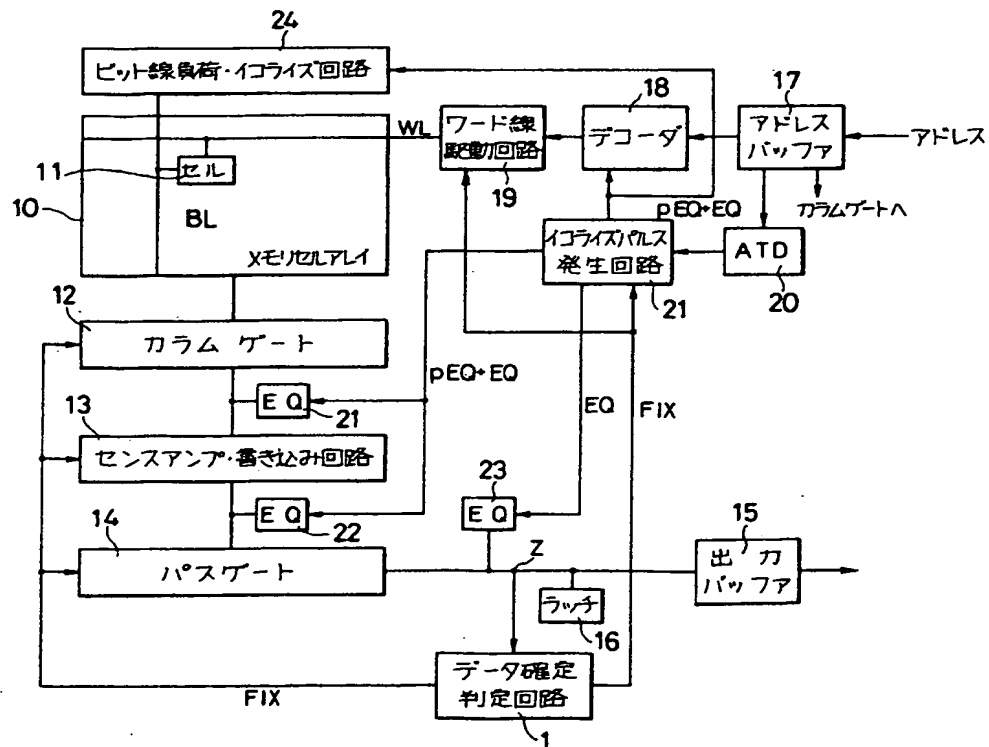
第1図は本発明のメモリ装置の一例のブロック図、第2図はその一例におけるデータ確定判定回路の回路図、第3図はそのデータ確定判定回路に使用されるインバータの入出力特性を示す特性図、第4図は上記一例に使用されるデコーダの一例を示す回路図、第5図は本発明の他の実施例の要部回路図、第6図は上記メモリ装置の一例の動作を説明するためのタイミングチャート、第7図は従来のメモリ装置の一例を示すブロック図である。

- 10 … メモリセルアレイ
- 11 … メモリセル
- 12 … カラムゲート
- 13 … センスアンプ（書き込み回路）
- 14 … パスゲート
- 15 … 出力バッファ
- 16 … ラッチ回路
- 18 … デコーダ
- 19 … ワード線駆動回路
- 20 … アドレス遷移検出回路
- 21 ~ 23 … イコライズ回路
- 31, 32 … インバータ
- 40 … プリチャージトランジスタ

特許出願人 ソニー株式会社
代理人弁理士 小池 晃 (他2名)

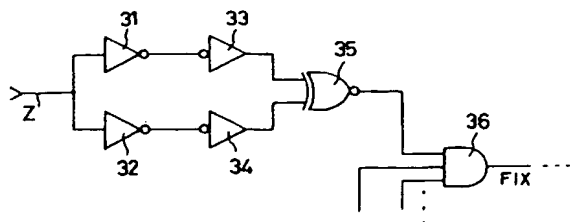
1 … データ確定判定回路

2 … イコライズパルス発生回路



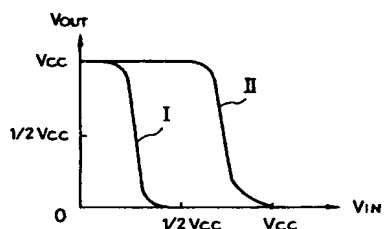
本発明のメモリ装置の一例

第1図



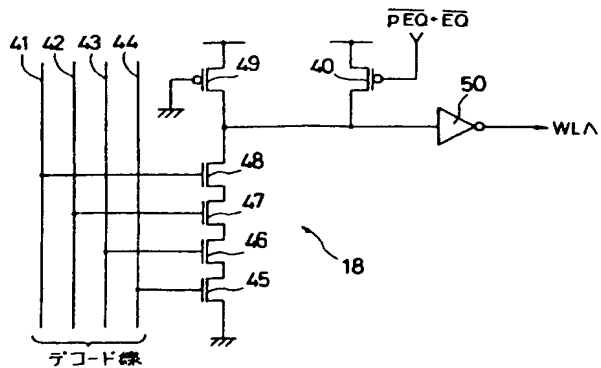
データ確認判定回路の一例

第 2 図

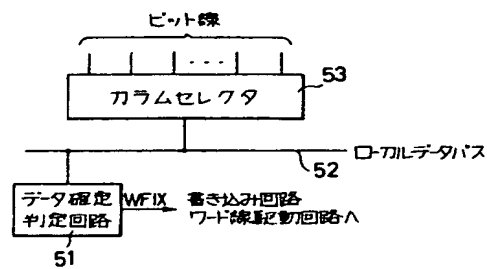


インバータの入出力特性

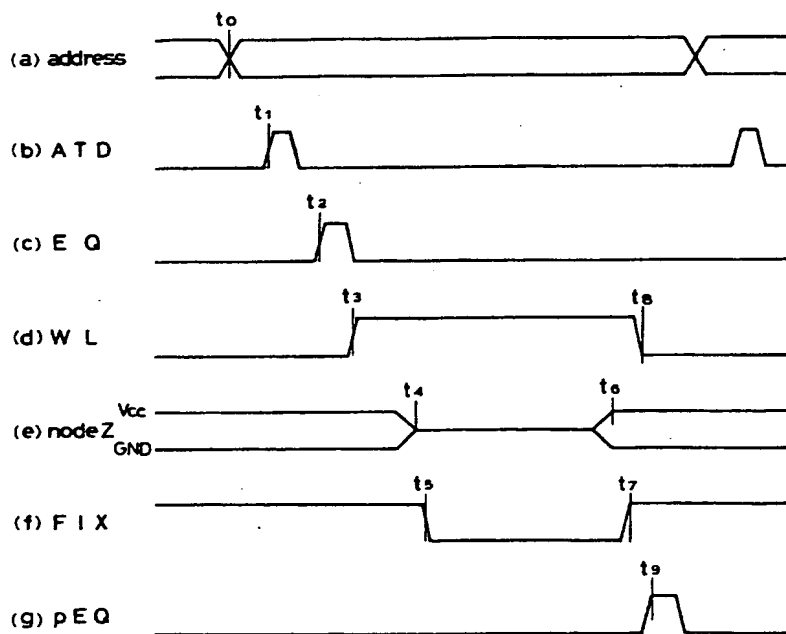
第 3 図



第 4 図

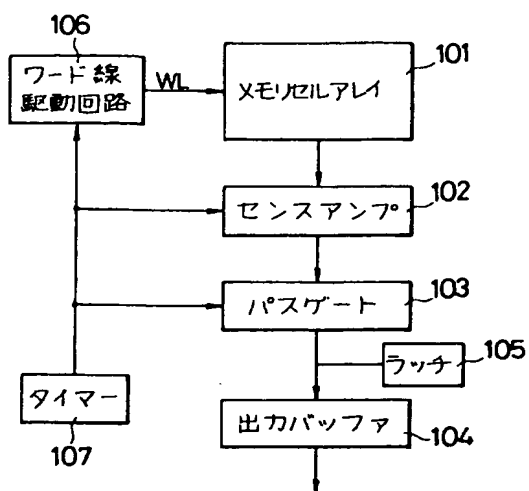


第 5 図



タイミングチャート

第 6 図



従 来 例
第 7 図